

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017167

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-168246

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 25.06.1997

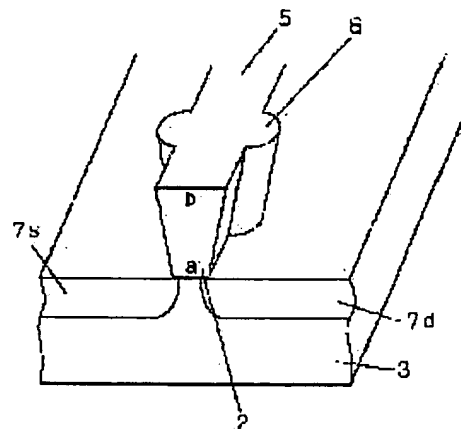
(72)Inventor : KATO JUNICHI
HORI ATSUSHI

(54) FIELD-EFFECT TRANSISTOR AND MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect transistor with a fine gate electrode, in which the gate electrode hardly falls down in a fine manufacturing step, while an increase in resistance of the gate electrode is prevented.

SOLUTION: An SiO₂ film 2 as an insulating film with thickness of 3 to 10 nm is formed on a semiconductor substrate 3. A gate electrode 5 is formed on the SiO₂ film 2. A source region 7s and a drain region 7d are formed on both lower sides of the gate electrode 5. The gate electrode 5 with a rectangular cross section has an oval pole-shaped electrode 6 buried at the center thereof. Since the gate electrode 5 is supported by the oval pole-shaped electrode 6, the gate electrode 5 hardly falls down.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The field-effect transistor which is equipped with a semi-conductor substrate, the gate dielectric film formed on said semi-conductor substrate, the gate electrode on said gate dielectric film, and the source field and drain field formed in the both sides of said gate electrode, and has a column-like height in the side face of said gate electrode.

[Claim 2] The field-effect transistor according to claim 1 whose cross section of a gate electrode is reverse mesa structure.

[Claim 3] A field-effect transistor according to claim 2 with the large ratio of the height of a gate electrode to gate length.

[Claim 4] The manufacture approach of a field-effect transistor including the process which forms gate dielectric film on a semi-conductor substrate, the process which deposits a gate electrode material on said gate dielectric film, the process which forms the gate mask which prepared the height, and the process which forms a gate electrode by etching of said gate insulating material using said mask.

[Claim 5] The process which forms a gate electrode is the manufacture approach of a field-effect transistor given in ***** 4 which makes a gate electrode material reverse mesa structure by isotropic etching.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the field-effect transistor constituted by the structure of forming a gate electrode more minutely than resolution, controlling high resistance-ization of a gate electrode, and preventing generating of a defect in a production process.

[0002]

[Description of the Prior Art] In recent years, the semiconductor integrated circuit is asked for high integration, improvement in the speed, and low-power-ization by high performance-ization of electronic equipment including a computer. Most of these semiconductor integrated circuits consist of semiconductor devices called a MOS transistor.

[0003] Hereafter, an example of the above-mentioned conventional MOS mold semiconductor device is explained, referring to a drawing.

[0004] Drawing 3 (a) - (d) is the sectional view showing the production process of the conventional field-effect transistor.

[0005] First, as shown in drawing 3 (a), gate oxide 1 is formed on the semi-conductor substrate 3, and about 100-300nm of polish recons which are a gate electrode material is deposited with a CVD method. Next, as shown in drawing 3 (b), the resist used with lithography is applied on a gate electrode material, and a resist pattern 4 is formed with lithography.

[0006] Next, a gate electrode is processed so that the cross section of a gate electrode may become a rectangle or a trapezoid by anisotropic etching, as shown in drawing 3 (c). Finally, as shown in drawing 3 (d), the resist mask which remained on the gate electrode is removed.

[0007]

[Problem(s) to be Solved by the Invention] However, there were the following problems with the above configurations.

[0008] Since the ratio of the resist thickness to gate length is large in the lithography process which forms a gate electrode when especially gate length is short, the part supporting the resist after development will be weak, and possibility that a resist will fall will become large. Moreover, in case the microscopic thin gate is formed, it is most that the ratio to gate length is before and after one, or it is one or less, and the height of a gate electrode is restricted to gate length. For this reason, the cross section of a gate electrode becomes large and, as a result, gate resistance becomes large. Although how to enlarge the aspect ratio of a gate electrode can be considered in order to avoid the above-mentioned high resistance-ization, in this case, the large gate electrode of an aspect ratio is difficult to manufacture, the part supporting the above-mentioned gate electrode is weak, and possibility that a gate electrode will fall becomes large.

[0009] Then, this invention is set in view of the above-mentioned trouble to the field-effect transistor formed by carrying out gate length's thinning, and it aims at offering the field-effect transistor which aims at control of gate electrode resistance lifting, and improvement in the yield at the time of a process.

[0010]

[Means for Solving the Problem] The means which this invention provided in order to attain the above-mentioned object is having the height of the shape of at least one or more column in the

side face of a gate electrode. The first field-effect transistor concerning this invention has a column-like height in the side face of a gate electrode, and, specifically, has structure supported so that a gate electrode may not fall in a production process so that it may be indicated by claim 1.

[0011] Since a gate electrode stops being able to fall easily, yield lowering of a transistor is controlled by the structure which supports the above-mentioned gate electrode by the height attached to the side face of a gate electrode by the configuration which described this invention above. Furthermore, since the configuration of the height for supporting a gate electrode originates in the resist mask pattern in a lithography process, and structure is included in the mask pattern of lithography, possibility that the resist pattern after resist development will fall in a lithography process falls, and its yield improves.

[0012] Moreover, the manufacture approach of the field-effect transistor concerning this invention is equipped with the process which forms the gate electrode of reverse mesa structure by isotropic etching so that it may be indicated by claim 4. By this approach, the gate electrode of gate width thinner than the resist mask thin line width of face for gate electrodes obtained at the lithography process will be obtained.

[0013] High resistance-ization of a gate electrode is controlled by the configuration which described this invention above. Moreover, thinning of a gate electrode can be attained by forming a gate electrode thinner than the resolution of lithography.

[0014]

[Embodiment of the Invention] The structure of the field-effect transistor of one example of this invention is explained below, referring to a drawing.

[0015] (Example 1) Drawing 1 is the structure perspective view showing the structure of the field-effect transistor in the 1st example of this invention. On the front face of a semi-conductor substrate and the above-mentioned semi-conductor substrate, SiO₂ film used as a 3 to 10nm insulator layer is formed, and the gate electrode is formed on the above-mentioned SiO₂ film. Moreover, the semiconductor region under gate electrode both sides is the source and a drain field, respectively.

[0016] As the gate electrode has the structure where the cross section serves as a rectangle or a reverse mesa and the lower part of a gate electrode is shown by the part of a of drawing 1, it is 0.05–0.10 micrometers, and as shown in drawing 1 b, it is 0.05–0.10 micrometers in the upper part of a gate electrode. It is [whether the die length of the upper part of a gate electrode is larger than the lower die length, and] equal. The gate length of a gate electrode is 0.05–0.10 micrometers, and the height of a gate electrode is 0.1–0.3 micrometers. It has structure which embedded the elliptic-cylinder-like gate electrode at a part for the center section of a gate electrode, and has the structure of preventing a gate electrode falling, by supporting a gate electrode with an elliptic-cylinder-like gate electrode. The width of face of the magnitude of an elliptic-cylinder-like gate electrode is 0.10–0.15 micrometers to the direction of gate length, and the width of face is 0.05–0.10 micrometers to the gate width direction.

[0017] On the front face of the semi-conductor substrate 3, SiO₂ film 2 used as a 3 to 10nm insulator layer is formed, and the gate electrode 5 is formed on SiO₂ film 2. Moreover, the semiconductor region under gate electrode 5 both sides is 7d of source 7s and drain fields, respectively.

[0018] (Example 2) Drawing 2 (a) – (d) is the sectional view showing the production process of the field-effect transistor in the 2nd example of this invention.

[0019] As first shown in drawing 2 (a), the gate oxide 2 which thickness becomes from the silicon oxide which is 2–10nm is formed on the semi-conductor substrate 3, and the gate electrode material 1 with which thickness consists of polish recon film which is 0.1–0.3 micrometers is deposited.

[0020] Next, a resist is formed as shown in drawing 2 (b). At this time, the thickness of a resist mask is 0.4–1.0 micrometers. Although a lithography process is performed in case a resist pattern is formed, it is characterized by using the mask pattern which at least one or more heights 6 attach to the gate part as shown in drawing 4 as a mask pattern used with lithography. The magnitude of a height is 0.10 micrometers – 0.15 micrometers to the direction of gate

length, and is 0.05 micrometers – 0.15 micrometers to the direction of gate width.

[0021] Next, as shown in drawing 2 (c), dry etching is performed and the gate electrode 5 is formed. An electrode is formed in reverse mesa structure using the conditions by which the element of the isotropic etching as conditions for dry etching was strengthened at this time. At this time, the gate electrode of reverse mesa structure becomes 0.03–0.05 micrometers in 0.05–0.10 micrometers and a lower part in the upper part. In addition, a gate electrode with which the cross section of a gate electrode serves as a rectangle can be formed by making the conditions of dry etching into anisotropic etching.

[0022] Next, a resist is removed as shown in drawing 2 (d). Although the following processes are skipped, it is performing a certain ion implantation to a source drain field, forming a metal electrode on the above-mentioned source drain field, and forming how many layers of that metal wiring through an interlayer insulation film, and a semiconductor device is formed.

[0023] Possibility that the formed gate electrode will fall according to the process which forms a gate electrode, or a certain subsequent process becomes low, and the field-effect transistor manufactured through the above process can control the yield. Moreover, an aspect ratio can be made high and gate resistance becomes low. Furthermore, a thinner gate electrode than the resolution of lithography will be obtained.

[0024]

[Effect of the Invention] According to this invention, the following effectiveness is acquired as mentioned above.

[0025] It can control that the resist pattern in the lithography process of a detailed gate pattern and detailed gate length's gate electrode collapse with a support of a height as the first effectiveness.

[0026] The electrode of the gate length of resolution **** of lithography can be formed by making it reverse mesa structure by isotropic etching as the second effectiveness.

[0027] By making it taking a high aspect ratio to the gate electrode of gate length detailed as the third effectiveness, and reverse mesa structure, high resistance-ization of thin line resistance of a gate electrode can be controlled.

[0028] It becomes unnecessary to form the deposition thickness at the time of gate electrode deposition with a thinly and sufficient precision by taking a high aspect ratio to the gate electrode of gate length detailed as the fourth effectiveness.

[0029] Detailed gate length's field-effect transistor can be formed certainly and easily according to the above effectiveness. It is short in gate length, and if gate height is made high, the effectiveness by this invention will become large.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The perspective view showing the structure of the field-effect transistor in the 1st operation gestalt of this invention

[Drawing 2] The process perspective view showing the production process of the field-effect transistor in the 2nd operation gestalt of this invention

[Drawing 3] The process perspective view showing the production process of the conventional field-effect transistor

[Drawing 4] The top view showing the mask pattern for lithography in the 1st operation gestalt of this invention

[Description of Notations]

1 Gate Electrode Material

2 Gate Oxide

3 Semi-conductor Substrate

4 Resist Mask

5 Gate Electrode

6 Height

7s Source field

7d Drain field

[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

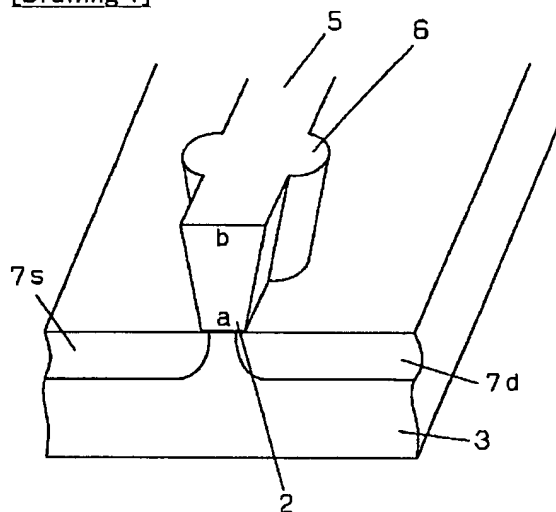
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

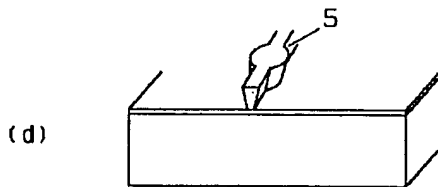
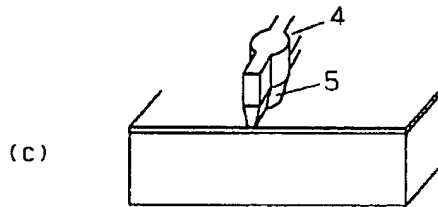
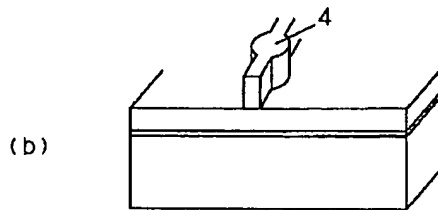
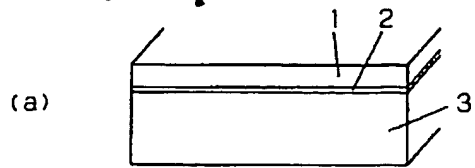
3.In the drawings, any words are not translated.

DRAWINGS

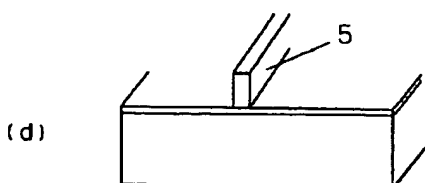
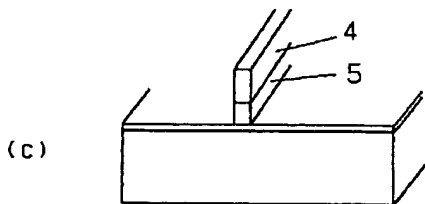
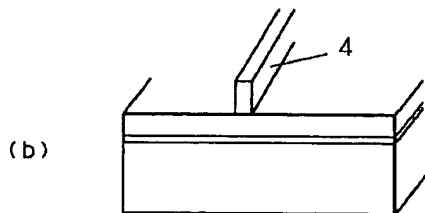
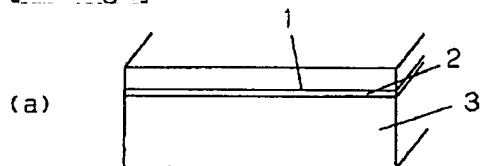
[Drawing 1]



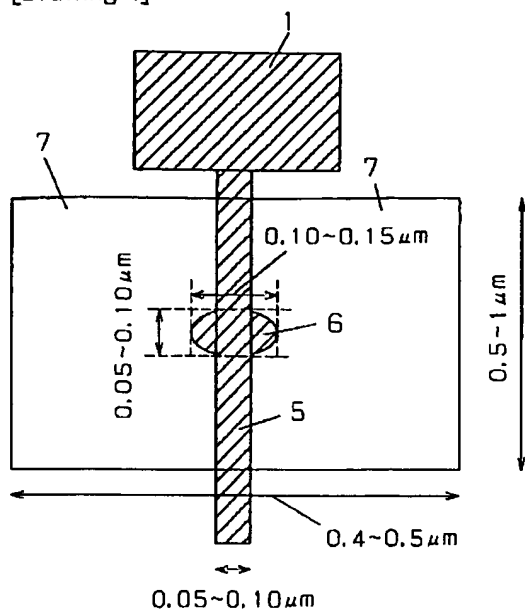
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17167

(43) 公開日 平成11年(1999) 1月22日

(51) Int. Cl. ⁶

H01L 29/78

識別記号

F I

H01L 29/78

301

G

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平9-168246

(22) 出願日 平成9年(1997) 6月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 加藤 淳一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 堀 敦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

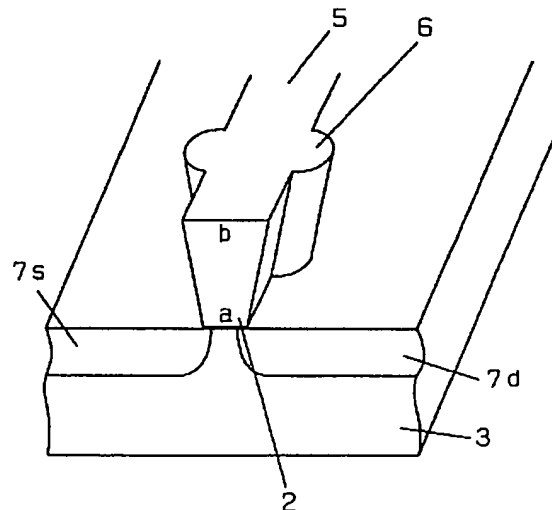
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 ゲート電極を微細化しても、製造工程においてゲート電極の倒れにくく、ゲート電極抵抗の高抵抗化を抑制した電界効果トランジスタを提供する。

【解決手段】 半導体基板 3 の表面上には 3 nm から 10 nm の絶縁膜となる SiO₂ 膜 2 を形成され、SiO₂ 膜 2 上にはゲート電極 5 が形成されている。また、ゲート電極 5 両側の下の半導体領域はそれぞれソース 7s およびドレイン領域 7d となっている。ゲート電極はその断面が長方形となっており、また、ゲート電極の中央部分に楕円柱状のゲート電極 6 を埋め込んだ構造となっている。楕円柱状のゲート電極によってゲート電極を支えることによってゲート電極が倒れてしまうことを防止することができる。



【特許請求の範囲】

【請求項1】半導体基板と、前記半導体基板上に形成したゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極と、前記ゲート電極の両側に形成したソース領域及びドレイン領域とを備え、前記ゲート電極の側面に柱状の突起部を持つ電界効果トランジスタ。

【請求項2】ゲート電極の断面が逆メサ構造である請求項1に記載の電界効果トランジスタ。

【請求項3】ゲート長に対するゲート電極の高さの比が大きい請求項2に記載の電界効果トランジスタ。

【請求項4】半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極材料を堆積する工程と、突起部を設けたゲートマスクを形成する工程と、前記マスクを用いた前記ゲート絶縁材料のエッチングによりゲート電極を形成する工程とを含む電界効果トランジスタの製造方法。

【請求項5】ゲート電極を形成する工程は、ゲート電極材料を等方性エッチングにより、逆メサ構造にする請求項4に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はゲート電極を解像度以上に微細に形成し、かつゲート電極の高抵抗化を抑制し、かつ製造工程において欠陥の発生を防止する構造により構成される電界効果トランジスタに関するものである。

【0002】

【従来の技術】近年、コンピュータを始めとする電子機器の高性能化により、半導体集積回路には高集積化、高速化、低消費電力化が求められている。これらの半導体集積回路の大部分はMOS型トランジスタと呼ばれる半導体素子で構成されている。

【0003】以下、図面を参照しながら、上記した従来のMOS型半導体装置の一例について説明する。

【0004】図3(a)～(d)は、従来の電界効果トランジスタの製造工程を示す断面図である。

【0005】まず、図3(a)に示すように、半導体基板3上に、ゲート酸化膜1を形成し、CVD法でゲート電極材料であるポリシリコンを約100～300nm堆積する。次に、図3(b)に示すように、リソグラフィで用いるレジストをゲート電極材料上に塗布し、リソグラフィでレジストパターン4を形成する。

【0006】次に、図3(c)に示すように異方性エッチングでゲート電極の断面が長方形あるいは台形になるようにゲート電極を加工する。最後に、図3(d)に示すように、ゲート電極の上に残ったレジストマスクを取り除く。

【0007】

【発明が解決しようとする課題】しかしながら上記のような構成では、以下のような問題があった。

10

【0008】ゲート電極を形成するリソグラフィ工程において特にゲート長が短い場合には、ゲート長に対するレジスト膜厚の比が大きいため現像後のレジストを支える部分が弱く、レジストが倒れる可能性が大きくなってしまう。また、極微細ゲートを形成する際、ゲート電極の高さは、ゲート長に対する比が1前後であるかあるいは1以下であることがほとんどであり、ゲート長に制限される。このためゲート電極の断面積が大きくなり、その結果ゲート抵抗が大きくなる。上記の高抵抗化を避けるためにゲート電極のアスペクト比を大きくする方法が考えられるが、この場合、アスペクト比の大きいゲート電極は、製造が困難であり、上記ゲート電極を支える部分が弱く、ゲート電極が倒れる可能性が大きくなる。

【0009】そこで、本発明は上記問題点を鑑み、ゲート長の細線化をして形成される電界効果トランジスタにおいて、ゲート電極抵抗上昇の抑制、工程時における歩留まり向上を図る電界効果トランジスタを提供することを目的とする。

【0010】

20

【課題を解決するための手段】上記目的を達成するために本発明が講じた手段は、ゲート電極の側面に少なくとも一つ以上の柱状の突起部を持つことである。具体的には、本発明に係る第一の電界効果トランジスタは、請求項1に記載されるように、ゲート電極の側面に柱状の突起部を持ち、製造工程においてゲート電極が倒れないように支える構造となっている。

【0011】本発明は上記した構成によって、ゲート電極の側面に付けられた突起部により上記ゲート電極を支える構造により、ゲート電極が倒れにくくなるため、トランジスタの歩留まり低下が抑制される。さらに、ゲート電極を支えるための突起部の形状はリソグラフィ工程におけるレジストマスクパターンから由来しているので、リソグラフィ工程においてレジスト現像後のレジストパターンが倒れる可能性が低下し、歩留まりが向上する。

【0012】また、本発明に係る電界効果トランジスタの製造方法は、請求項4に記載されるように、等方性エッチングで逆メサ構造のゲート電極を形成する工程を備えている。この方法により、リソグラフィ工程で得られたゲート電極用のレジストマスク細線幅より細いゲート幅のゲート電極が得られることとなる。

【0013】本発明は上記した構成によって、ゲート電極の高抵抗化が抑制される。また、リソグラフィの解像度より細いゲート電極を形成することによりゲート電極の細線化を図ることができる。

【0014】

【発明の実施の形態】以下本発明の一実施例の電界効果トランジスタの構造について、図面を参照しながら説明する。

50

【0015】（実施例1）図1は本発明の第1の実施例における電界効果トランジスタの構造を示す構造斜視図である。半導体基板と上記半導体基板の表面上には3nmから10nmの絶縁膜となるSiO₂膜を形成され、上記SiO₂膜上にはゲート電極が形成されている。また、ゲート電極両側の下の半導体領域はそれぞれソースおよびドレイン領域となっている。

【0016】ゲート電極はその断面が長方形あるいは逆メサとなる構造となっており、ゲート電極の下部は、図1のaの部分で示されるように、0.05~0.10μmであり、ゲート電極の上部では、図1bに示されるように0.05~0.10μmである。ゲート電極の上部の長さは下部の長さより大きい等しくなっている。ゲート電極はそのゲート長が0.05~0.10μmであり、ゲート電極の高さは0.1~0.3μmである。ゲート電極の中央部分に楕円柱状のゲート電極を埋め込んだ構造となっており、楕円柱状のゲート電極によってゲート電極を支えることによってゲート電極が倒れてしまうことを防止する構造となっている。楕円柱状のゲート電極の大きさはゲート長方向に対してその幅は0.10~0.15μmであり、ゲート幅方向に対してその幅は0.05~0.10μmである。

【0017】半導体基板3の表面上には3nmから10nmの絶縁膜となるSiO₂膜2を形成され、SiO₂膜2上にはゲート電極5が形成されている。また、ゲート電極5両側の下の半導体領域はそれぞれソース7sおよびドレイン領域7dとなっている。

【0018】（実施例2）図2（a）~（d）は本発明の第2の実施例における電界効果トランジスタの製造工程を示す断面図である。

【0019】まず図2（a）に示すように、半導体基板3の上に厚みが2~10nmのシリコン酸化膜からなるゲート酸化膜2を形成し、厚みが0.1~0.3μmのポリシリコン膜からなるゲート電極材料1を堆積する。

【0020】次に、図2（b）に示すように、レジストを形成する。このときレジストマスクの厚さは0.4~1.0μmである。レジストパターンを形成する際にはリソグラフィ工程を行うが、リソグラフィで用いるマスクパターンとして図4に示すような、ゲート部分に少なくとも1つ以上の突起部6がついているマスクパターンを用いることを特徴とする。突起部の大きさはゲート長の方向に対して0.10μm~0.15μmであり、ゲート幅の方向に対して0.05μm~0.15μmである。

【0021】次に、図2（c）に示すように、ドライエッチングを行って、ゲート電極5を形成する。このときドライエッチングの条件としての等方性エッチングの要素が強められた条件を用い、逆メサ構造に電極が形成される。このとき逆メサ構造のゲート電極は上方で0.05~0.10μm、下方では0.03~0.05μmと

なる。なお、ドライエッチングの条件を異方性エッチングにすることによって、ゲート電極の断面が長方形となるようなゲート電極を形成することができる。

【0022】次に、図2（d）に示すように、レジストを除去する。以下の工程は省略するが、ソースドレイン領域に何らかのイオン注入を行い、上記ソースドレイン領域上に金属電極を形成し、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0023】以上の工程を経て製造された電界効果トランジスタは、形成されたゲート電極がゲート電極を形成する工程あるいはその後の何らかの工程によって倒れる可能性が低くなり歩留まりを抑制することが出来る。また、アスペクト比を高くすることができゲート抵抗が低くなる。さらに、リソグラフィの解像度以上に細いゲート電極が得られることとなる。

【0024】

【発明の効果】以上のように本発明によると以下の効果が得られる。

【0025】第一の効果として微細ゲートパターンのリソグラフィ工程におけるレジストパターン及び微細ゲート長のゲート電極が突起部の支えによって倒壊することを抑制できる。

【0026】第二の効果として等方性エッチングで逆メサ構造にすることによりリソグラフィの解像度で細のゲート長の電極を形成する事ができる。

【0027】第三の効果として微細なゲート長のゲート電極に対してアスペクト比を高くすることおよび逆メサ構造にすることにより、ゲート電極の細線抵抗の高抵抗化を抑制する事ができる。

【0028】第四の効果として微細なゲート長のゲート電極に対してアスペクト比を高くすることにより、ゲート電極堆積時の堆積膜厚を薄くかつ精度よく形成する必要がなくなる。

【0029】以上の効果により微細なゲート長の電界効果トランジスタを確実かつ容易に形成できる。ゲート長を短く、ゲート高さを高くすれば本発明による効果は大きくなる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における電界効果トランジスタの構造を示す斜視図

【図2】本発明の第2の実施形態における電界効果トランジスタの製造工程を示す工程斜視図

【図3】従来の電界効果トランジスタの製造工程を示す工程斜視図

【図4】本発明の第1の実施形態におけるリソグラフィ用のマスクパターンを示す平面図

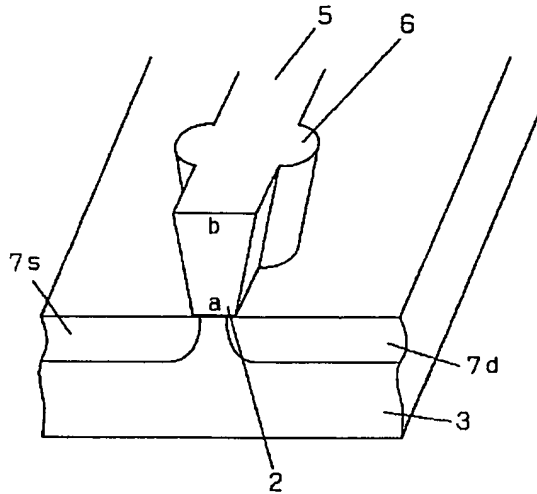
【符号の説明】

- 1 ゲート電極材料
- 2 ゲート酸化膜

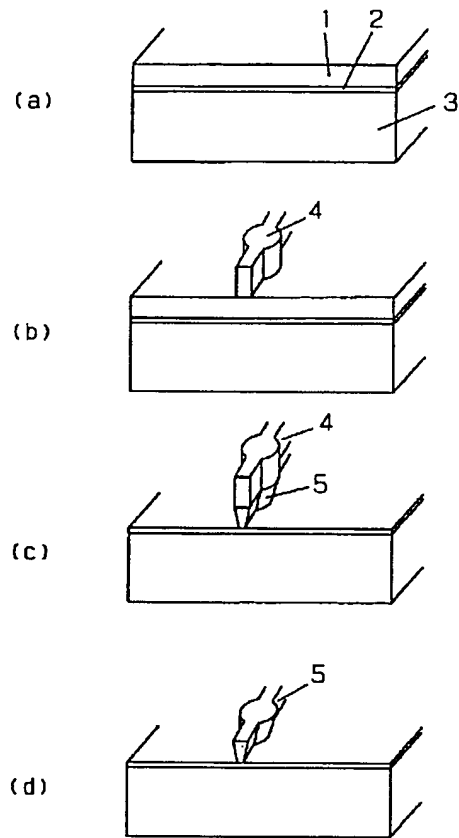
- 3 半導体基板
4 レジストマスク
5 ゲート電極

- 6 突起部
7 s ソース領域
7 d ドレイン領域

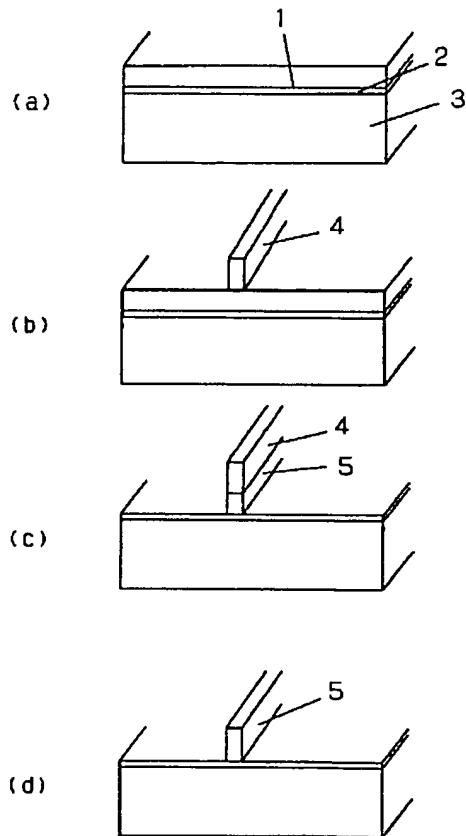
【図 1】



【図 2】



【図 3】



【図 4】

